

**Semiconductor integrated circuit including a capacitor and a fuse element**

Patent Number: ☐ US6040614  
Publication date: 2000-03-21  
Inventor(s): HATAKENAKA MAKOTO (JP); SHIROSHIMA KIIYOYUKI (JP); KITAGUCHI AKIRA (JP);  
MOTONAMI KAORU (JP); NAKAJIMA MICHIO (JP); YAMASHITA TAKEKAZU (JP)  
Applicant(s): MITSUBISHI ELECTRIC CORP (JP); MITSUBISHI ELECTRIC SYSTEM LSI (JP)  
Requested Patent: ☐ JP11087646  
Application Number: US19980033611 19980303  
Priority Number (s): JP19970237391 19970902  
IPC Classification: H01L29/40  
EC Classification: H01L23/525F4, H01L27/105, H01L27/108  
Equivalents: ☐ DE19815136

---

**Abstract**

---

A semiconductor integrated circuit includes a fuse element located on an insulating layer. The surface of the insulating layer is substantially smooth. The insulating layer is located over a capacitor. Wiring is located on the insulation layer. The fuse element and the wiring include the same material.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-87646

(43) 公開日 平成11年(1999) 3月30日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 27/108  
21/8242  
21/82  
27/04  
21/822

識別記号

F I  
H 0 1 L 27/10 6 8 1 A  
21/82 F  
27/04 C  
27/10 6 9 1

審査請求 未請求 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願平9-237391

(22) 出願日 平成9年(1997) 9月2日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71) 出願人 391024515

三菱電機システムエル・エス・アイ・デザ  
イン株式会社

兵庫県伊丹市中央3丁目1番17号

(72) 発明者 北口 亨

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(74) 代理人 弁理士 田澤 博昭 (外1名)

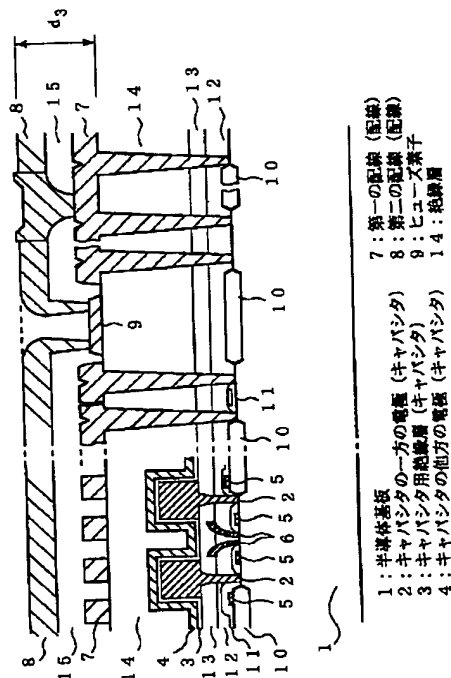
最終頁に続く

(54) 【発明の名称】 半導体集積回路およびその製造方法

(57) 【要約】

【課題】 従来の半導体集積回路では、ヒューズ素子9がビットライン6と同時に形成されているので、キャパシタ2、3、4とヒューズ素子9とを有する半導体集積回路では、キャパシタ2、3、4の上に積層する際のレーザにオフセットが発生したり、ヒューズ素子9をレーザブローする際に大きな穴が形成されてしまうなどの問題があり、ひいては集積化を図る上で問題があった。

【解決手段】 キャパシタ2、3、4よりも上層にヒューズ素子を配設するようにしたものである。



1: 半導体基板  
2: キャパシタの一方の電極 (キャパシタ)  
3: キャパシタ用絶縁層 (キャパシタ)  
4: キャパシタの他方の電極 (キャパシタ)  
5: 半導体基板  
6: ビットライン  
7: 第一の配線 (配線)  
8: 第二の配線 (配線)  
9: ヒューズ素子  
10: 半導体基板  
11: 半導体基板  
12: 半導体基板  
13: 半導体基板  
14: 半導体基板  
15: 半導体基板

## 【特許請求の範囲】

【請求項1】 半導体基板上にキャパシタを形成するキャパシタ形成工程と、当該キャパシタの上に絶縁層を形成する絶縁層形成工程と、当該絶縁層よりも積層方向上方にヒューズ素子を形成するヒューズ形成工程とを有することを特徴とする半導体集積回路の製造方法。

【請求項2】 キャパシタの上に絶縁層を形成する絶縁層形成工程は、キャパシタの上に当該キャパシタの高さよりも厚さのある絶縁層を積層する絶縁層積層工程と、当該絶縁層の表面をケミカルメカニカルポリッシングにより平滑化する平滑化工程とを有することを特徴とする請求項1記載の半導体集積回路の製造方法。

【請求項3】 ヒューズ素子は、配線を形成する配線形成工程とともに形成されることを特徴とする請求項1または請求項2記載の半導体集積回路の製造方法。

【請求項4】 ヒューズ素子は、配線形成工程のうち、異なる配線層間を接続するための層間配線を形成するための層間配線形成工程において形成されることを特徴とする請求項1または請求項2記載の半導体集積回路の製造方法。

【請求項5】 半導体基板上に形成されたキャパシタと、当該キャパシタの上に積層された絶縁層と、当該絶縁層よりも積層方向上方に配設されたヒューズ素子とを有することを特徴とする半導体集積回路。

【請求項6】 ヒューズ素子は、キャパシタよりも積層方向上方に配設された配線と同一の材料により構成されていることを特徴とする請求項5記載の半導体集積回路。

【請求項7】 キャパシタよりも積層方向上方に配設される配線が、複数の配線層と、当該複数の配線層間を接続する層間配線とからなり、しかも、ヒューズ素子は当該層間配線と同一の材料で形成されていることを特徴とする請求項5記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はキャパシタで記憶素子を形成するダイナミックランダムアクセスメモリ(DRAM)などに好適な半導体集積回路およびその製造方法に係り、特に、ウェハ欠陥などによる歩留まり低下などを抑制するために冗長回路を設けるとともに、その冗長回路の電気的な接続をヒューズ素子の接続/切断により設定するようにしたDRAMに好適な半導体集積回路に関するものである。

## 【0002】

【従来の技術】図8は特開昭60-98665号公報に開示された技術を利用した従来のDRAMを示す断面図である。図において、1は半導体素子や抵抗素子が形成される半導体基板であり、2はキャパシタの一方の電極であり、3はキャパシタ用絶縁層であり、4はキャパシタの他方の電極であり、5はワード線であり、6はビット

ラインであり、7はアルミニウムからなる第一の配線であり、8はアルミニウムからなる第二の配線であり、9は上記第一の配線7に接続されたヒューズ素子であり、10~15はこれら各導電性材料間を適当に絶縁するための絶縁層である。そして、上記ヒューズ素子9は上記ビットライン6と同一の製造工程で形成されている。また、同図において、キャパシタのある左側はメモリセルの断面であり、ヒューズ素子のある右側は配線部である。

【0003】次に動作について説明する。上記DRAMに情報を記憶させる場合には、上記配線7、8を介して所定のワード線5に対して上記情報に応じた電圧を印加する。すると、当該ワード線5と上記キャパシタの一方の電極2との間に対応する半導体基板1にチャンネルが形成されて、当該ワード線5から当該半導体基板1を介して上記キャパシタの一方の電極2に電流が流れ込み、その後当該ワード線5への電圧印加を停止すると、当該キャパシタの一方の電極2と上記キャパシタの他方の電極4との間に上記印加電圧に応じた電荷が蓄積される。

【0004】また、その記憶させた情報を読み出す場合には、上記配線7、8を介して所定のワード線5に対して電圧を印加する。すると、当該ワード線5と上記キャパシタの一方の電極2との間に対応する半導体基板1にチャンネルが形成されて、当該キャパシタの一方の電極2から当該半導体基板1を介して上記ワード線5に電流が流れ、この電流の大きさに応じて情報を判別する。

【0005】次に上記ヒューズ素子の機能について説明する。半導体装置では、その基となるウェハにおいて一定の確率にてウェハ欠陥が生じてしまうため、これにより歩留まり率も制限されてしまうという問題があった。そのため、1つの半導体装置上に余分に冗長回路(例えばDRAMであるならば余分なメモリセル)を構成するとともに、この冗長回路を欠陥のあった回路(メモリセル)に代えて電気的に接続する対策が考えられる。このような目的のために上記ヒューズ素子は設けられている。そして、ヒューズ素子をレーザ光などにて適当に切断することにより当該欠陥のあった回路(メモリセル)に変えて当該冗長回路(余分なメモリセル)を電気的に接続することができ、上記歩留まり率などを向上させることができる。

## 【0006】

【発明が解決しようとする課題】従来の半導体装置は以上のように構成されているので、キャパシタの上に積層する各層の高さがメモリセルと配線部とで異なり、図9に示すように、当該各層をエッチングする際の光のフォーカスが一方の部位でずれてしまい、当該フォーカスがずれてしまった部位においては配線等の幅が適当に形成されなくなってしまうという問題があった(同図では配線部においてオフフォーカスが発生し、その結果、当該部位の配線がW1からW2に広がってしまっている)。

る)。これは回路の高集積化を妨げる一要因となる。

【0007】そこで、図10に示すように、キャパシタ2, 3, 4の上に形成する絶縁層14の厚さを厚くして、当該絶縁層14の高さがメモリセルと配線部とで同じになるように構成することが考えられる。

【0008】しかしながら、このようにキャパシタ2, 3, 4の上に形成する絶縁層14の表面を平滑に形成し、これにより当該絶縁層14の形成工程後の下流工程におけるオフフォーカスの問題を解決しようとした場合には、図11(b)に示すように、従来のもの(図11(a))よりもチップ表面から上記ヒューズ素子9までの深さが深くなってしまう。

【0009】その結果、同図に示すような構成では、上記ヒューズ素子9をレーザブローする場合には、深くブローする必要があるため、ブローに時間がかかり、しかも、そのブローにより形成される穴の径が大きくなってしまふので、周辺に配設されるヒューズ素子9などをその分間隔を空けて配設しなければならない。従って、高集積化を妨げる要因が発生してしまう。

【0010】この発明は上記のような課題を解決するためになされたもので、キャパシタンスの存在に拘らずヒューズ素子を容易にレーザブローすることができ、ひいては高集積化を可能とする半導体集積回路およびその製造方法を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係る半導体集積回路の製造方法は、キャパシタの上に絶縁層を形成した後に、ヒューズ素子を形成するものである。

【0012】この発明に係る半導体集積回路の製造方法は、キャパシタの上に形成される絶縁層は、キャパシタの上に当該キャパシタの高さよりも厚さのある絶縁層を一旦積層した後、当該絶縁層の表面をケミカルメカニカルポリッシングにより平滑化したものである。

【0013】この発明に係る半導体集積回路の製造方法は、ヒューズ素子は配線とともに形成されるものである。

【0014】この発明に係る半導体集積回路の製造方法は、ヒューズ素子は、配線形成工程のうち、異なる配線層間を接続するための層間配線とともに形成されるものである。

【0015】この発明に係る半導体集積回路は、半導体基板上に形成されたキャパシタと、当該キャパシタの上に積層された絶縁層と、当該絶縁層よりも積層方向上方に配設されたヒューズ素子とを有するものである。

【0016】この発明に係る半導体集積回路は、ヒューズ素子と、キャパシタよりも積層方向上方に配設される配線とが同一の材料で構成されているものである。

【0017】この発明に係る半導体集積回路は、キャパシタよりも積層方向上方に配設される配線を、複数の配線層と、当該複数の配線層間を接続する層間配線とで構

成するとともに、ヒューズ素子は当該層間配線と同一の材料で形成されているものである。

【0018】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるDRAMのチップレイアウトを示すレイアウト図である。図において、16はそれぞれ多数のキャパシタが配列されたメモリセルであり、17は入力データに対して所定の論理演算を行なうロジック部であり、18は当該複数のメモリセルを上記ロジック部や図示外の外部接続端子などに接続する多数の配線が配設された配線部である。そして、上記複数のメモリセルの一部は冗長回路として利用されるため、上記配線部には当該冗長回路への電気的な接続を設定するための複数のヒューズ素子が設けられている。

【0019】図2はこの発明の実施の形態1によるDRAMを示す断面図である。図において、1は半導体素子や抵抗素子が形成される半導体基板であり、2はキャパシタの一方の電極(キャパシタ)であり、3はキャパシタ用絶縁層(キャパシタ)であり、4はキャパシタの他方の電極(キャパシタ)であり、5はワード線であり、6はビットラインであり、7は第一の配線(配線)であり、8は第二の配線(配線)であり、9は上記第二の配線8に接続されたヒューズ素子であり、10~15はこれら各導電性材料間を適当に絶縁するための絶縁層である。なお、同図において、キャパシタのある左側は上記メモリセルの断面であり、ヒューズ素子のある右側は上記配線部の断面である。また、上記キャパシタのように縦方向に積層されているキャパシタはスタックドキャパシタと呼ばれている。

【0020】図3は上記第一の配線7および上記ヒューズ素子を形成する製造工程を示す工程図である。図において、(a)は上記キャパシタ2, 3, 4の上に形成された絶縁層14に穴を形成した第一工程図であり、(b)は当該絶縁層14の上にタングステンあるいはポリシリコンの層19を積層した積層工程図であり、(c)は当該タングステンあるいはポリシリコンの層19の上に所定のレジスト膜20を形成するレジスト膜形成工程図であり、(d)はエッチングなどによりレジスト膜が積層された部位のみに上記タングステンあるいはポリシリコンの層19を形成したエッチング工程図である。そして、当該タングステンあるいはポリシリコンの層19の内上記穴を塞ぐ状態で積層された部位は上記第一の配線7となり、上記絶縁層14の上に単に積層された部位は上記ヒューズ素子9となる。

【0021】また、上記絶縁層14は、上記キャパシタ2, 3, 4の上に当該キャパシタの高さよりも厚く絶縁材料を一旦積層した後、当該絶縁材料の表面をケミカルメカニカルポリッシングにより略平滑化している。

【0022】次に動作について説明する。上記DRAMに情報を記憶させる場合には、上記配線7、8を介して所定のワード線5に対して上記情報に応じた電圧を印加する。すると、当該ワード線5と上記キャパシタの一方の電極2との間に対応する半導体基板1にチャンネルが形成されて、当該ワード線5から当該半導体基板1を介して上記キャパシタの一方の電極2に電流が流れ込み、その後当該ワード線5への電圧印加を停止すると、当該キャパシタの一方の電極2と上記キャパシタの他方の電極4との間に上記印加電圧に応じた電荷が蓄積される。

【0023】また、その記憶させた情報を読み出す場合には、上記配線7、8を介して所定のワード線5に対して電圧を印加する。すると、当該ワード線5と上記キャパシタの一方の電極2との間に対応する半導体基板1にチャンネルが形成されて、当該キャパシタの一方の電極2から当該半導体基板1を介して上記ワード線5に電流が流れ、この電流の大きさに応じて情報を判別する。

【0024】そして、このように形成されたDRAMにおいて上記ヒューズ素子9をレーザブローしてみた。その結果、当該レーザブローにより形成される穴の径は小さく、従来のものと比べても遜色ない大きさに留めることができた。従って、この実施の形態1のようなヒューズ素子9の配置であれば、高集積化を妨げてしまうことはない。また、深くブローする必要がないため、ブローの時間も短かった。

【0025】以上のように、この実施の形態1では、キャパシタ2、3、4の上に積層される絶縁層14の表面を、ケミカルメカニカルポリッシングにより略平滑化するとともに、上記ヒューズ素子9を当該絶縁層14よりも積層方向上方に配設しているため、オフフォーカスやレーザブローによる穴などが高集積化の妨げとはならない。従って、ロジック部17の高集積化を妨げることなく、メモリセルと当該ロジック部とを同一のチップ上に形成することができ、このようなロジック混在メモリを高密度に集積化を図って形成することができる。

【0026】また、この実施の形態1では、上記ヒューズ素子9を第一の配線7と同一の工程にて形成しているため、当該ヒューズ素子9専用の工程を設けた場合のように、工程数が増加することはなかった。

【0027】実施の形態2. 図4はこの発明の実施の形態2によるDRAMを示す断面図である。図において、9は第二の配線8と同一の工程にて形成されて、当該第二の配線8と同じレベルに配設されたヒューズ素子である。これ以外の構成は、実施の形態1と同様であるので同一の符号を付して説明を省略する。

【0028】そして、このように形成されたDRAMにおいて上記ヒューズ素子9をレーザブローしてみた。その結果、当該レーザブローにより形成される穴の径は小さく、従来のものと比べても遜色ない大きさに留めることができた。従って、この実施の形態2のようなヒューズ素子9の配置であれば、高集積化を妨げてしまうことはない。また、深くブローする必要がないため、ブローの時間も短かった。

ズ素子9の配置であれば、高集積化を妨げてしまうことはない。また、深くブローする必要がないため、ブローの時間も短かった。

【0029】以上のように、この実施の形態2では、キャパシタ2、3、4の上に積層される絶縁層14の表面を、ケミカルメカニカルポリッシングにより略平滑化するとともに、上記ヒューズ素子9を当該絶縁層14よりも積層方向上方に配設しているため、オフフォーカスやレーザブローによる穴などが高集積化の妨げとはならない。従って、ロジック部17の高集積化を妨げることなく、メモリセルと当該ロジック部とを同一のチップ上に形成することができ、このようなロジック混在メモリを高密度に集積化を図って形成することができる。

【0030】また、この実施の形態2では、上記ヒューズ素子9を第一の配線7と同一の工程にて形成しているため、当該ヒューズ素子9専用の工程を設けた場合のように、工程数が増加することはなかった。

【0031】実施の形態3. 図5はこの発明の実施の形態3によるDRAMを示す断面図である。図において、71はアルミニウムからなり、絶縁層14上に積層された第一の配線層であり、72はタングステンあるいはポリシリコンからなり、当該第一の配線層71と半導体基板1などを接続する第一の層間配線（層間配線）であり、この実施の形態3の第一の配線は当該第一の配線層71および第一の層間配線72で構成されている。これ以外の構成は実施の形態1と同様なので同一の符号を付して説明を省略する。

【0032】図6は上記第一の配線層71、第一の層間配線72および上記ヒューズ素子9を形成する製造工程を示す工程図である。図において、(a)は上記キャパシタ2、3、4の上に形成された絶縁層14に穴を形成した第一工程図であり、(b)は当該絶縁層14の上にタングステンあるいはポリシリコンの層19を積層した第一の積層工程図であり、(c)は当該タングステンあるいはポリシリコンの層19の上に所定のレジスト膜20を形成する第一のレジスト膜形成工程図であり、(d)はエッチングなどによりレジスト膜が積層された部位および上記穴に上記タングステンあるいはポリシリコンの層19を形成した第一のエッチング工程図であり、(e)は当該絶縁層14の上にアルミニウムの層22を積層した第二の積層工程図であり、(f)は当該アルミニウムの層22の上に所定のレジスト膜23を形成する第二のレジスト膜形成工程図であり、(g)はエッチングなどによりレジスト膜が積層された部位に上記アルミニウムの層22を形成した第二のエッチング工程図である。そして、上記絶縁層14の穴の中に形成されたタングステンあるいはポリシリコンの層19が上記第一の層間配線となり、上記絶縁層14の上に形成されたタングステンあるいはポリシリコンの層19が上記ヒューズ素子9となり、上記絶縁層14の上に形成されたアル

ミニウムの層22が上記第一の配線層となる。

【0033】そして、このように形成されたDRAMにおいて上記ヒューズ素子9をレーザブローしてみた。その結果、当該レーザブローにより形成される穴の径は小さく、従来のものと比べても遜色ない大きさに留めることができた。従って、この実施の形態3のようなヒューズ素子9の配置であれば、高集積化を妨げてしまうことはない。また、深くブローする必要がないため、ブローの時間も短かった。

【0034】以上のように、この実施の形態3では、キャパシタ2, 3, 4の上に積層される絶縁層14の表面を、ケミカルメカニカルポリッシングにより略平滑化するとともに、上記ヒューズ素子9を当該絶縁層14よりも積層方向上方に配設しているため、オフフォーカスやレーザブローによる穴などが高集積化の妨げとはならない。従って、ロジック部17の高集積化を妨げることなく、メモリセルと当該ロジック部とを同一のチップ上に形成することができ、このようなロジック混在メモリを高密度に集積化を図って形成することができる。

【0035】また、この実施の形態3では、上記第一の配線7を、アルミニウムで形成された第一の配線層71と、タングステンあるいはポリシリコンで形成された第一の層間配線72とで構成したので、実施の形態1の第一の配線に比べ格段に配線抵抗値が小さくなっている。そして、従来のように当該第一の配線を全てアルミニウムにて形成したものと同等の特性を持たせることができる。

【0036】更に、この実施の形態3では、上記ヒューズ素子9を第一の配線7と同一の工程にて形成しているため、当該ヒューズ素子9専用の工程を設けた場合のように、工程数が増加することはなかった。

【0037】実施の形態4、図7はこの発明の実施の形態4によるDRAMを示す断面図である。図において、81はアルミニウムからなり、絶縁層14上に積層された第二の配線層であり、82はタングステンあるいはポリシリコンからなり、当該第二の配線層81と第一の配線7などを接続する第二の層間配線（層間配線）であり、この実施の形態4の第二の配線8は当該第二の配線層81および第二の層間配線82で構成されている。また、9は第二の配線8と同一の工程にて形成されて、当該第二の配線8と同じレベルに配設されたヒューズ素子である。これ以外の構成は実施の形態3と同様なので同一の符号を付して説明を省略する。

【0038】そして、このように形成されたDRAMにおいて上記ヒューズ素子9をレーザブローしてみた。その結果、当該レーザブローにより形成される穴の径は小さく、従来のものと比べても遜色ない大きさに留めることができた。従って、この実施の形態4のようなヒューズ素子9の配置であれば、高集積化を妨げてしまうことはない。また、深くブローする必要がないため、ブロー

の時間も短かった。

【0039】以上のように、この実施の形態4では、キャパシタ2, 3, 4の上に積層される絶縁層14の表面を、ケミカルメカニカルポリッシングにより略平滑化するとともに、上記ヒューズ素子9を当該絶縁層14よりも積層方向上方に配設しているため、オフフォーカスやレーザブローによる穴などが高集積化の妨げとはならない。従って、ロジック部17の高集積化を妨げることなく、メモリセルと当該ロジック部とを同一のチップ上に形成することができ、このようなロジック混在メモリを高密度に集積化を図って形成することができる。

【0040】また、この実施の形態4では、上記第二の配線8を、アルミニウムで形成された第二の配線層81と、タングステンあるいはポリシリコンで形成された第二の層間配線82とで構成したので、実施の形態2の第二の配線に比べ格段に配線抵抗値が小さくなっている。そして、従来のように当該第二の配線を全てアルミニウムにて形成したものと同等の特性を持たせることができる。

【0041】更に、この実施の形態4では、上記ヒューズ素子9を第二の配線8と同一の工程にて形成しているため、当該ヒューズ素子9専用の工程を設けた場合のように、工程数が増加することはなかった。

【0042】

【発明の効果】以上のように、この発明によれば、キャパシタの上に絶縁層を形成した後に、ヒューズ素子を形成するので、キャパシタの上の絶縁層の厚さを厚くしても、ヒューズ素子はチップの表面から浅い位置に配設される。従って、キャパシタの上の絶縁層の厚さを厚くしてその表面を平滑に形成しても、ヒューズ素子を容易にレーザブローすることができ、しかも、当該レーザブローの結果形成される穴の径を小さくすることができる。従って、ヒューズ素子同士の間隔などを広げる必要はなく、高集積化を図ることができる。

【0043】また、この発明によれば、キャパシタの上に形成される絶縁層を、キャパシタの上に当該キャパシタの高さよりも厚さのある絶縁層を一旦積層した後、当該絶縁層の表面をケミカルメカニカルポリッシングにより平滑化することで形成するので、当該絶縁層形成後の下流工程におけるオフフォーカスの問題を同時に解決することができる。

【0044】そして、半導体基板上に形成されたキャパシタと、当該キャパシタの上に積層された絶縁層と、当該絶縁層よりも積層方向上方に配設されたヒューズ素子とを有する半導体集積回路であれば、上記製造方法にて形成して高集積化を図ることができる。

【0045】また、この発明によれば、ヒューズ素子は配線とともに形成すれば、ヒューズ素子を形成するための専用の工程を追加する必要はなく、全製造工程数の増加を抑制することができる。

【0046】そして、ヒューズ素子と、キャパシタよりも積層方向上方に配設される配線とが同一の材料で構成されている半導体集積回路であれば、上記製造方法にて形成して高集積化を図ることができる。

【0047】更に、この発明によれば、ヒューズ素子を、配線形成工程のうち、異なる配線層間を接続するための層間配線とともに形成すれば、ヒューズ素子を形成するための専用の工程を追加する必要はなく、全製造工程数の増加を抑制することができる。また、配線に好適な材料にて配線層を形成して配線の抵抗値を低下させつつ、ヒューズ素子をタングステンやポリシリコンなどを利用して形成することができる。

【0048】そして、キャパシタよりも積層方向上方に配設される配線を、複数の配線層と、当該複数の配線層間を接続する層間配線とで構成するとともに、ヒューズ素子は当該層間配線と同一の材料で形成されている半導体集積回路であれば、上記製造方法にて形成して高集積化を図ることができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるDRAMのチップレイアウトを示すレイアウト図である。

【図2】 この発明の実施の形態1によるDRAMを示す断面図である。

【図3】 この発明の実施の形態1における第一の配線

およびヒューズ素子を形成する製造工程を示す工程図である。

【図4】 この発明の実施の形態2によるDRAMを示す断面図である。

【図5】 この発明の実施の形態3によるDRAMを示す断面図である。

【図6】 この発明の実施の形態3における第一の配線およびヒューズ素子を形成する製造工程を示す工程図である。

【図7】 この発明の実施の形態4によるDRAMを示す断面図である。

【図8】 従来のDRAMを示す断面図である。

【図9】 図8に示すDRAMにおける問題点を説明する説明図である。

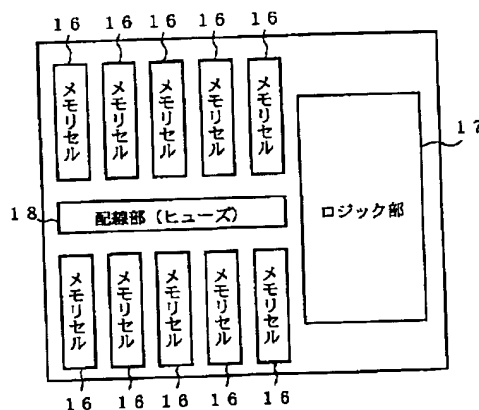
【図10】 従来のDRAMを示す断面図である。

【図11】 図10に示すDRAMにおける問題点を説明する説明図である。

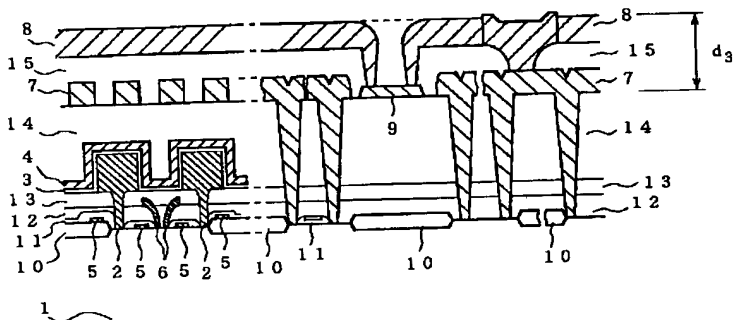
【符号の説明】

1 半導体基板、2 キャパシタの一方の電極（キャパシタ）、3 キャパシタ用絶縁層（キャパシタ）、4 キャパシタの他方の電極（キャパシタ）、7 第一の配線（配線）、8 第二の配線（配線）、9 ヒューズ素子、14 絶縁層、72 第一の層間配線（層間配線）、82 第二の層間配線（層間配線）。

【図1】



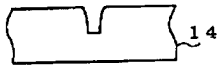
【図2】



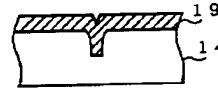
- |                        |               |
|------------------------|---------------|
| 1: 半導体基板               | 7: 第一の配線 (配線) |
| 2: キャパシタの一方の電極 (キャパシタ) | 8: 第二の配線 (配線) |
| 3: キャパシタ用絶縁層 (キャパシタ)   | 9: ヒューズ素子     |
| 4: キャパシタの他方の電極 (キャパシタ) | 14: 絶縁層       |

【図3】

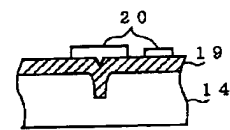
(a)



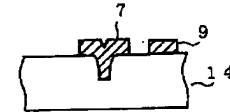
(b)



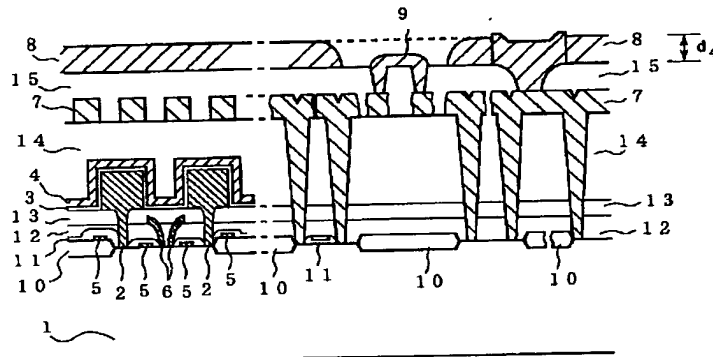
(c)



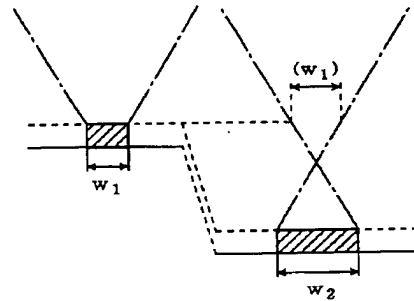
(d)



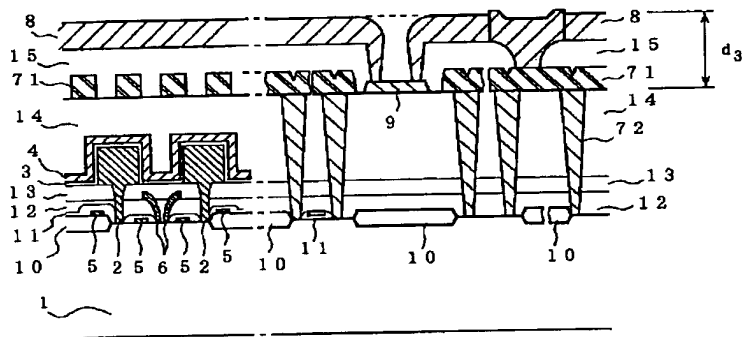
【図4】



【図9】



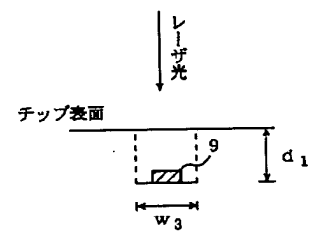
【図5】



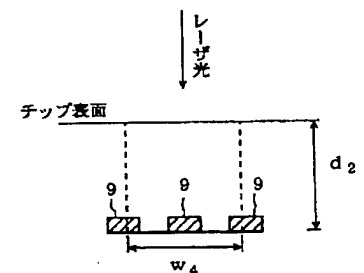
72 : 第一の層間配線 (層間配線)

【図11】

(a)

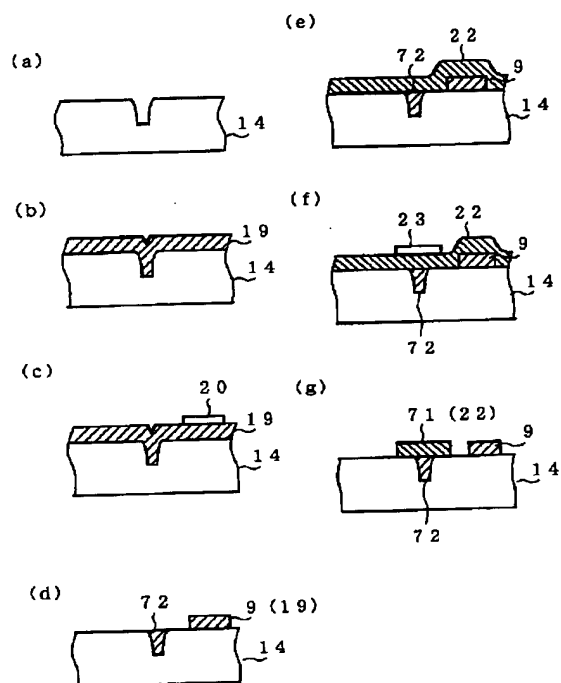


(b)

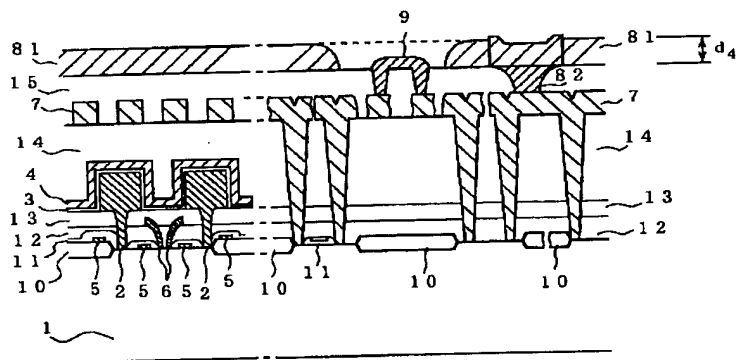




【図6】

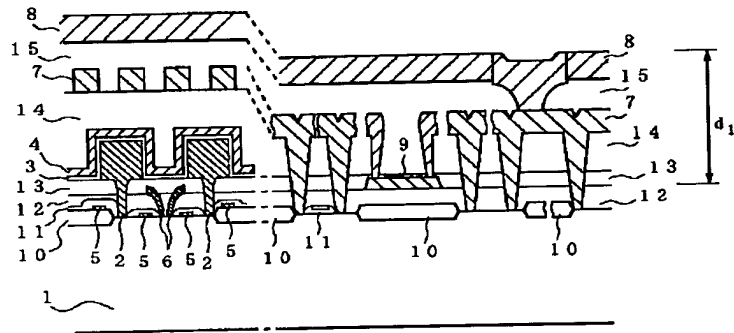


【図7】

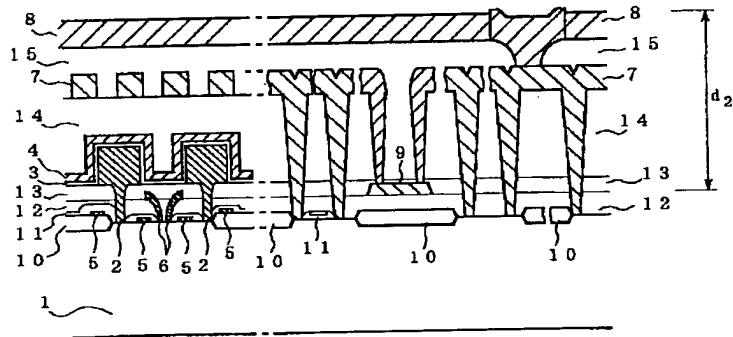


82: 第二の層間配線 (層間配線)

【図8】



【図10】



フロントページの続き

(72)発明者 畠中 真  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 中島 三智雄  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

(72)発明者 本並 薫  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 城島 清之  
兵庫県伊丹市中央3丁目1番17号 三菱電  
機セミコンダクタソフトウェア株式会社内  
(72)発明者 山下 武一  
長崎県諫早市貝津町1830番地25 イサハヤ  
電子株式会社内